|  |
| --- |
| **Experiência 2 – Projeto de Circuitos Combinacionais – Portas Lógicas** |

|  |  |  |
| --- | --- | --- |
| **Alunos** | | |
| **Número** | **Nome** | **Turma** |
| **22.120.021-5** | **João Pedro Rosa Cezarino** | **020** |
| **Professor: Isaac Jesus** | | |

|  |  |
| --- | --- |
| **Data da Realização:** | **05/03/2021** |

Sumário

[1. Descrição dos Objetivos Experimentais: 3](#_Toc1" \o "#_Toc1)

[2. Diagrama Esquemático–Lógico do Sistema Digital: 4](#_Toc2" \o "#_Toc2)

[3. Resultados dos Procedimentos Experimentais: 5](#_Toc3" \o "#_Toc3)

[4. Conclusões: 9](#_Toc4" \o "#_Toc4)

# Descrição dos Objetivos Experimentais:

Este experimento tem o objetivo de exercitar os conceitos aprendidos nas aulas teóricas de Sistemas Digitais. Aqui serão praticados conceitos como: Tensão, Correntes, Níveis Lógicos Digitais, Portas Lógicas, Simplificação de Expressões Booleanas, Construção de Tabelas-Verdade e Montagem de Circuitos em geral.

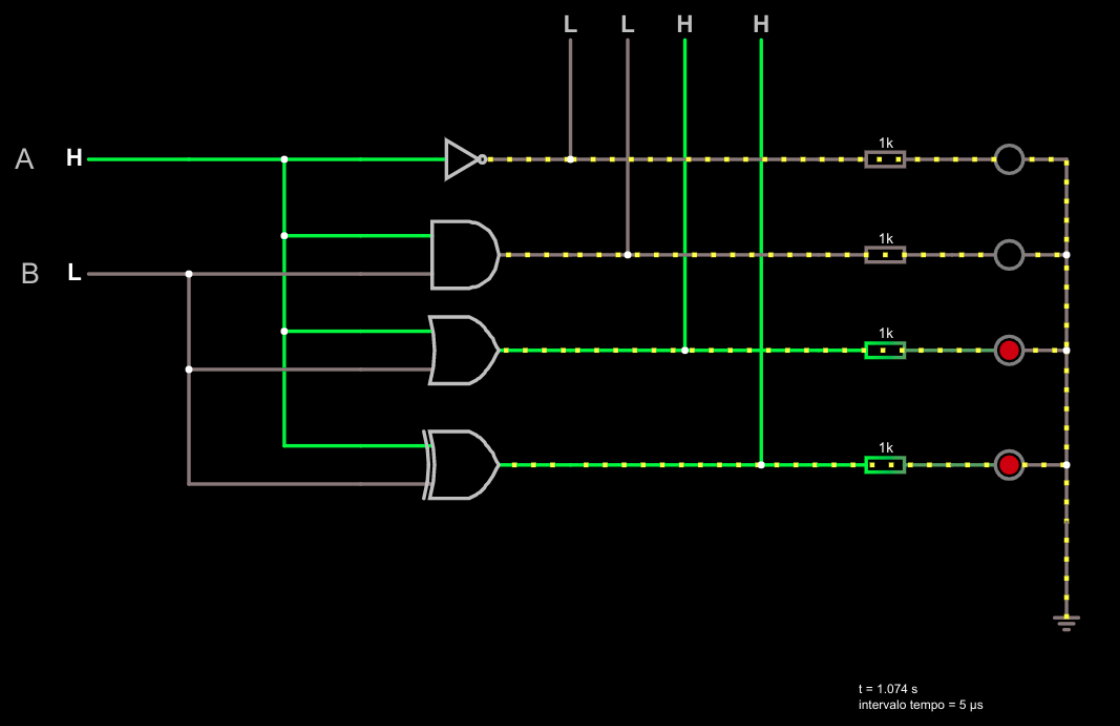
O Ambiente de Simulação FALSTAD foi a plataforma utilizada para realizar o experimento. Esse Simulador foi desenvolvido por Paul Falstad para fins educacionais e aplica-se a inúmeros circuitos eletrônicos.

Ao longo da experiência, diversos circuitos foram montados e selecionados, permitindo a compreensão de diversos conceitos em níveis diferentes. Foram realizados testes com portas lógicas dos mais variados tipos: AND, OR, XOR, Inversora, entre outras.

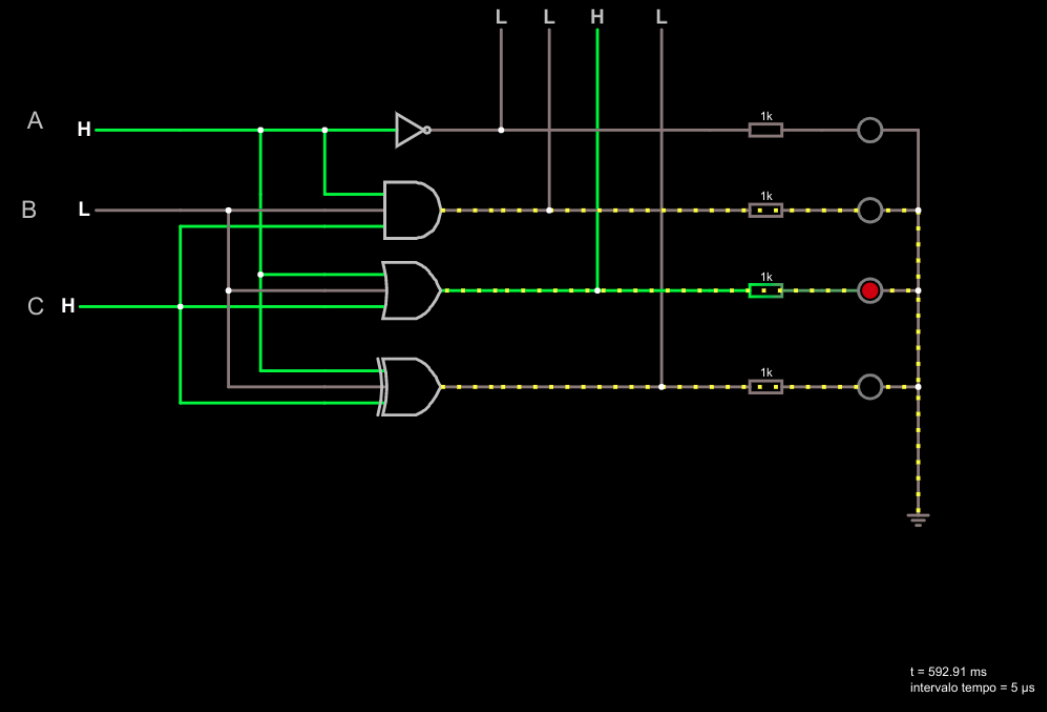
Por fim, Tabelas-Verdade foram preenchidas para fixar os conceitos de níveis lógicos e portas lógicas e aprimorar o conhecimento sobre o conteúdo em geral.Também foram respondidas algumas questões referentes á Expressões Booleanas e a respeito dos circuitos montados.

# Diagrama Esquemático–Lógico do Sistema Digital:

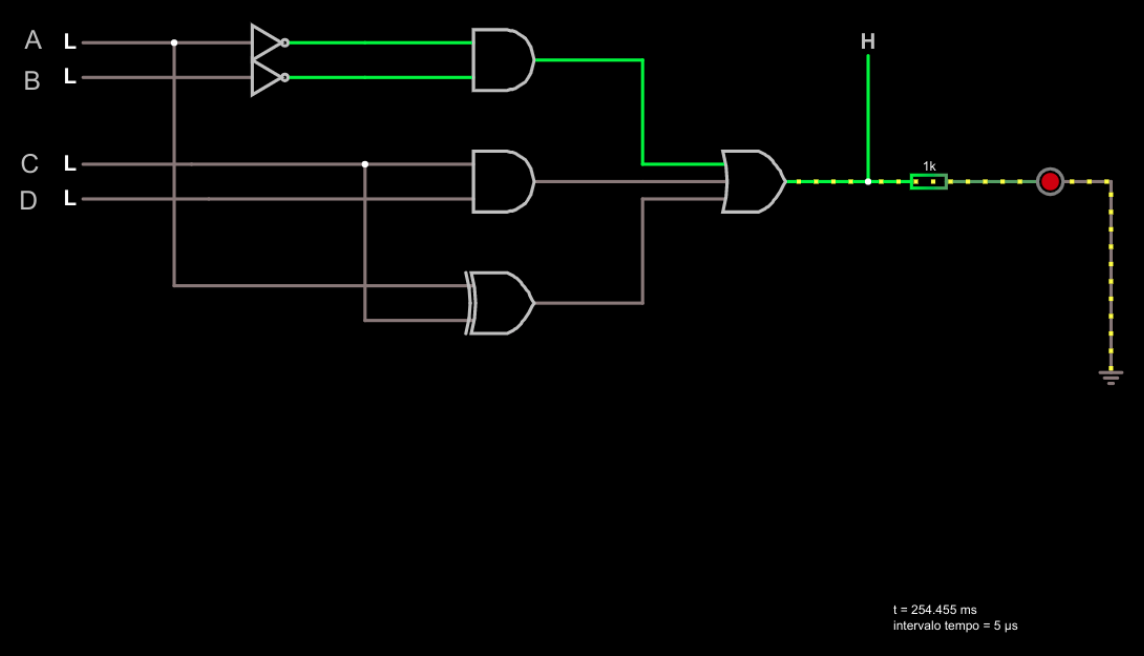
# Circuito lógico com as portas: Inversora, AND, OR e XOR de duas entradas :



# Circuito lógico com as portas: AND, OR e XOR de três entradas :



# Circuito lógico da Função F:



# Resultados dos Procedimentos Experimentais:

* **Circuito lógico com as portas: Inversora, AND, OR e XOR de duas entradas** :

1. **Porta NOT (Tabela 1)**:

|  |  |
| --- | --- |
| **A** | **S** |
| NL1 | NL0 |
| NL0 | NL1 |

1. **Porta AND (Tabela 2)**:

|  |  |  |
| --- | --- | --- |
| **B** | **A** | **S** |
| NL0 | NL0 | NL0 |
| NL0 | NL1 | NL0 |
| NL1 | NL0 | NL0 |
| NL1 | NL1 | NL1 |

1. **Porta OR (Tabela 3)**:

|  |  |  |
| --- | --- | --- |
| **B** | **A** | **S** |
| NL0 | NL0 | NL0 |
| NL0 | NL1 | NL1 |
| NL1 | NL0 | NL1 |
| NL1 | NL1 | NL1 |

1. **Porta XOR (Tabela 4)**:

|  |  |  |
| --- | --- | --- |
| **B** | **A** | **S** |
| NL0 | NL0 | NL0 |
| NL0 | NL1 | NL1 |
| NL1 | NL0 | NL1 |
| NL1 | NL1 | NL0 |

# Circuito lógico com as portas: AND, OR e XOR de três entradas :

1. **Porta AND (Tabela 5):**

|  |  |  |  |
| --- | --- | --- | --- |
| **C** | **B** | **A** | **S** |
| NL0 | NL0 | NL0 | NL0 |
| NL0 | NL0 | NL1 | NL0 |
| NL0 | NL1 | NL0 | NL0 |
| NL0 | NL1 | NL1 | NL0 |
| NL1 | NL0 | NL0 | NL0 |
| NL1 | NL0 | NL1 | NL0 |
| NL1 | NL1 | NL0 | NL0 |
| NL1 | NL1 | NL1 | NL1 |

1. **Porta OR (Tabela 6):**

|  |  |  |  |
| --- | --- | --- | --- |
| **C** | **B** | **A** | **S** |
| NL0 | NL0 | NL0 | NL0 |
| NL0 | NL0 | NL1 | NL1 |
| NL0 | NL1 | NL0 | NL1 |
| NL0 | NL1 | NL1 | NL1 |
| NL1 | NL0 | NL0 | NL1 |
| NL1 | NL0 | NL1 | NL1 |
| NL1 | NL1 | NL0 | NL1 |
| NL1 | NL1 | NL1 | NL1 |

1. **Porta XOR (Tabela 7):**

|  |  |  |  |
| --- | --- | --- | --- |
| **C** | **B** | **A** | **S** |
| NL0 | NL0 | NL0 | NL0 |
| NL0 | NL0 | NL1 | NL1 |
| NL0 | NL1 | NL0 | NL1 |
| NL0 | NL1 | NL1 | NL0 |
| NL1 | NL0 | NL0 | NL1 |
| NL1 | NL0 | NL1 | NL0 |
| NL1 | NL1 | NL0 | NL0 |
| NL1 | NL1 | NL1 | NL1 |

# Circuito lógico da Função F:

1. **Tabela Verdade da Função F (Tabela 8):**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **ENTRADAS** | | | | **SAÍDA** |
| **D** | **C** | **B** | **A** | **F** |
| NL0 | NL0 | NL0 | NL0 | NL1 |
| NL0 | NL0 | NL0 | NL1 | NL1 |
| NL0 | NL0 | NL1 | NL0 | NL0 |
| NL0 | NL0 | NL1 | NL1 | NL1 |
| NL0 | NL1 | NL0 | NL0 | NL1 |
| NL0 | NL1 | NL0 | NL1 | NL0 |
| NL0 | NL1 | NL1 | NL0 | NL1 |
| NL0 | NL1 | NL1 | NL1 | NL0 |
| NL1 | NL0 | NL0 | NL0 | NL1 |
| NL1 | NL0 | NL0 | NL1 | NL1 |
| NL1 | NL0 | NL1 | NL0 | NL0 |
| NL1 | NL0 | NL1 | NL1 | NL1 |
| NL1 | NL1 | NL0 | NL0 | NL1 |
| NL1 | NL1 | NL0 | NL1 | NL1 |
| NL1 | NL1 | NL1 | NL0 | NL1 |
| NL1 | NL1 | NL1 | NL1 | NL1 |

# Conclusões:

Quando comparamos as portas lógicas de 3 entradas com as de 2 entradas, descobre-se que o comportamento das portas lógicas de 3 entradas dependem unicamente do tipo de porta escolhida. A porta "AND" segue um padrão onde só é possível obter uma saída “NL1” a partir do momento em que "A","B" e "C" estão em "NL1". Na porta "OR" quando acrescenta-se uma nova porta, o mesmo padrão é seguido: onde houver 1 entrada “NL1” a saída será “NL1” e a única possibilidade disso não ocorrer é se todas as entradas estiverem em “NL0”( nesse caso a saída será “NL0”). Já na porta "XOR", os valores "A","B" e "C" deverão ser somados para descobrir a saída, quando a soma for ímpar a saída deverá ser 1 e quando a soma for par o valor será 0.

Por fim, a função F pode ser simplificada utilizando os Teoremas de Simplificação. Segue abaixo a expressão simplificada:

**\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\*\***